

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-10763

(P2000-10763A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl.⁷

G 0 6 F 7/52

識別記号

3 2 0

F I

G 0 6 F 7/52

テーマコード(参考)

3 2 0 D 5 B 0 1 6

審査請求 有 請求項の数 4 O L (全 9 頁)

(21)出願番号

特願平10-173185

(22)出願日

平成10年6月19日(1998.6.19)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 乾 重人

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100080816

弁理士 加藤 朝道

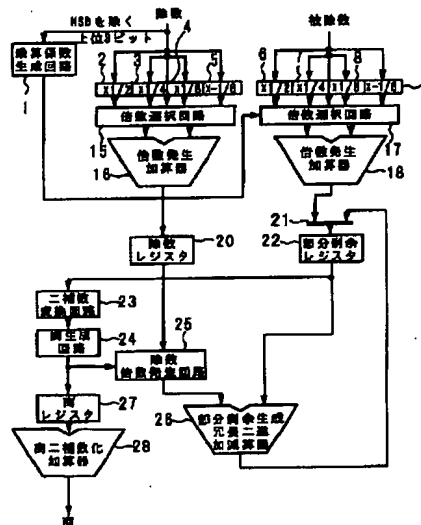
Fターム(参考) 5B016 AA01 BA07 CA10 CB03 CD01
EA03 EA11

(54)【発明の名称】 除算回路

(57)【要約】

【課題】除数のスケーリングを行う高基数減算シフト方式かつ部分剰余に冗長二進表現を用いる除算回路において、スケーリングを簡略化し商生成を高速化する。

【解決手段】倍数発生回路2～9は、除数、被除数の1/2～1/8、-1/8倍数を生成し、乗算係数生成回路1により生成された乗算係数に従って、倍数選択回路15、17、倍数発生加算器16、18により除数、被除数のスケーリングを行い、除数レジスタ20、被除数レジスタ22に結果を保存し、二補数変換回路は二補数化された部分剰余の上位5ビットを生成し、商生成回路24は該5ビットの上位4ビットを参照して商を決定し、除数倍数発生回路25で除数の倍数を生成し、部分剰余生成冗長二進加減算器26で次サイクルの部分剰余を生成する。商レジスタ27は商生成回路24で生成された商を保存し、商に補数化加算器により商を二補数化して最終的な商を得る。



【特許請求の範囲】

【請求項 1】 k を正整数として、 $1/2^k \sim 1/2^{k+1}$ (ただし、 \sim はべき乗演算を示す) に正規化された除数及び被除数と、部分剰余の全ビットのうち演算の基数及び最大デジット数により定められるビット長を参照して商を定める高基数型除算回路であって、 m を所定の正整数として、入力された除数及び被除数の $\pm 1/2^m$ 倍の倍数を生成する倍数発生手段と、前記除数の値域に従って前記除数を所定の範囲内にスケールリングする乗算係数を発生する乗算係数発生手段と、前記倍数発生手段により生成された倍数と前記乗算係数発生手段により生成された乗算係数とから除数及び被除数のスケールリングを行うスケールリング手段と、前記スケールリング手段により生成された除数と被除数により除算を行う除算手段と、を含むことを特徴とする除算回路。

【請求項 2】 請求項 1 記載の除算回路において、前記倍数発生手段が、前記除数及び被除数の $1/2$ 倍、 $1/4$ 倍、 $1/8$ 倍、 $-1/8$ 倍の倍数を発生し、前記スケールリング手段が、前記除数を、 $3/2 \times 1/2^k$ 以上 $7/4 \times 1/2^k$ 未満の範囲にスケールリングを行う、ことを特徴とする除算回路。

【請求項 3】 請求項 1 記載の除算回路において、前記スケールリング手段が、前記倍数発生手段により生成された倍数群を桁上げ保存加算手段で桁上げと和に圧縮して生成し、前記生成した桁上げと和を桁上げ伝搬手段により加算することでスケールリングを行う、ことを特徴とする除算回路。

【請求項 4】 請求項 2 記載の除算回路において、前記除算手段が、部分剰余の任意長の上位ビット数を参照し二補数化された 5 ビットの部分剰余の上位ビットを生成する手段と、該部分剰余の上位 4 ビットを参照して商を生成する手段と、を備えたことを特徴とする除算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、除算回路に関し、特に、高基数型のデジタル型の除算器に関する。

【0002】

【従来の技術】 従来この種の除算回路は、例えば、

$$R(j+1) = r \times R(j) - q(j+1) \times D \quad \dots (1)$$

【0009】 このとき商 $q(j+1)$ は、基数 r により定められるデジット集合の中から以下の条件を満たすように選択される。

【0010】

$$0 \leq |R(j+1)| < k \times D \quad \dots (2)$$

【0011】 ここで、 k は次式 (3) を満たす定数である。

$$k = m / (r - 1) \quad \dots (3)$$

【0013】 上式 (3) で、 m は、基数 r の数系にお

998 年電子情報通信学会総合大会講演論文集エレクトロニクス [2] の 154 ページに掲載された、三浦他による「商選択テーブルを用いない基数 4 除算器の構成」と題する論文等に記載されているように、高基数型の除算器を LSI に実装する手段として用いられている。

【0003】 除算器の実装においては、「減算シフト法」、あるいは「減算引き離し法」などと呼ばれる除算アルゴリズムが、ハードウェア量と性能のバランスが良いことから一般的に用いられている。この除算アルゴリズムは、通常、筆算で除算を行うのと同様に、商の決定と、余り (部分剰余) のシフトと余りからの分母 (除数) の倍数の減算により、除算を行う手法である。このような除算アルゴリズムについて、例えば「コンピュータの高速演算方式、1980、近代科学社、pp. 214-249」には、回復型除算、非回復型除算、SRT 除算、拡張 SRT 除算といった各種の除算手法について記載されている。

【0004】 まず汎用的な、減算シフト法を用いた除算の手順について簡単に説明する。演算のビット長を n (任意の正整数)、演算の基数を r 、除数を D 、被除数を $R(0)$ 、 j を 0 以上の整数として、 j 回目の部分剰余を $R(j)$ 、 j 回目の商を $q(j)$ とする。また、ここでは除数 D 、被除数 $R(0)$ は正規化されているものとする。

【0005】 ここでは、浮動小数点正規化フォーマットとして、 $1.xxxx$ を用いるものとし、除数、被除数共に正規化されているものとする。なお、このフォーマットに合致しないデータ形式を扱う場合でも、演算前後に適当なシフト処理を実行することで、このような浮動小数点フォーマットについての処理が適用可能である。

【0006】 また、ここで、使用される商及び部分剰余は、冗長二進表現により表される。すなわち、二補数表現であれば、各ビットが $\{0, 1\}$ で表されるところを、 $\{-1, 0, 1\}$ の 3 値を採ることを許し、負のビットを可能としている。

【0007】 入力データが上述のように正規化されているとの条件の下で、次の (1) 式に示される漸化式を用いて、順次、商及び部分剰余を求めることができる。

【0008】

るデジット集合の内、最大の絶対値を持つデジットである。この場合、 m の最小値は $1/2 \times r$ であり、最大値は $r-1$ であることから、 k の範囲は、次式 (4) のようになる。

$$1/2 \leq k < 1 \quad \dots (4)$$

【0015】 例えば基数 4 の数系を例にとると、デジット集合は、 $\{-3, -2, -1, 0, 1, 2, 3\}$ と $\{-2, -1, 0, 1, 2\}$ の二つが考えられる。前者については $k=1$ であり、後者については $k=2/3$ と

3

なる。k の値が小さくなるということは、(2) 式より、演算途中の部分剰余の値域がより狭められる、ということである。すなわち、後者の場合は、除数の倍数として 3 倍数を選択することができないために、演算途中の部分剰余の値域に対して制限を加え、除数の 2 倍数までで除算を行えるようにしている。

【0016】また、基数 2 の数系の場合は、デジット集合が $\{-1, 0, 1\}$ のみであり、これは、 $k=1$ の場合に相当する。

【0017】上式 (1) により商を求める場合、一回の除算により求められる商のビット数は $\log(2r)$ であるので、 $n/\log(2r)$ 回除算を繰り返すことにより所望のビット数の商を求めることができる。

【0018】上記のような除算アルゴリズムは、「P-D プロット」と呼ばれるグラフに要約することができる。図 4 に、上記した除算アルゴリズムの P-D プロットを示す。図 4 において、横軸に除数、縦軸に基数倍した部分剰余（以後シフト後の部分剰余）を示す。ただし、P-D プロットは x 軸対象なので、y 軸について正の範囲のみ示してある。この P-D プロットで表される

$$R_t(j) - 1/2 < rR(j) < R_t(j) + 1/2 \quad \dots (6)$$

【0023】部分剰余は冗長二進表現を取るため、 $R_t(j)$ に対して負の方向の領域にも真の値が存在する可能性がある。

【0024】上式 (5)、(6) で表される P-D プロット上の矩形領域が、真の除数、部分剰余の存在する範囲であり、以下、「不確定領域」と呼ぶ。この不確定領域内の全ての値において、上式 (2) 式が満たされるように商を決定する必要がある。すなわち、例えば商として 3 を選択する場合、上式 (1)、(2) より、 $rR(j) = 4D$ で表される直線から、 $rR(j) = 2D$ で表される直線が、商として 3 を選択できる領域であり、不確定領域が、この範囲内に全て収まっている場合のみに、3 を選択することができる。

【0025】一般に不確定領域を大きくとるということは、参照する除数と部分剰余のビット数を減らすことであり、商を決定する論理を簡単にできる。従って、上式 (1)、(2) を満たしつつ、最大の不確定領域を選択する、ことが重要である。また、商の決定に先立ち、シフト後の部分剰余は、商決定に必要な参照ビットは冗長

4

アルゴリズムを実装した場合、除数 D の MSB（最上位ビット）を除く上位 2 ビットと、シフト後の部分剰余の上位 5 ビットを参照することにより商を決定することができる。除数の MSB は、正規化により 1 であることが保証されているため、参照の必要はない。この場合、除数の参照ビットが 2 ビットであるので、除数の範囲に従って 4 つの区間に区分することができ、各々の区分内では、シフト後の部分剰余の補数表現での上位 5 ビットの値に対してひとつの商の値を関連付けることができる。

【0019】ある一組の、除数上位 2 ビット（MSB を除く）、シフト後の部分剰余の二補数化された上位 5 ビットは、P-D プロット上である一定の範囲の値を代表する。除数の上位 2 ビット（MSB を除く）を D_t とすると、真の除数 D は、下記の範囲に存在する。

【0020】

$$1 + D_t \leq D < 1 + D_t + 1/4 \quad \dots (5)$$

【0021】また、シフト後の部分剰余の二補数化された上位 5 ビットを $R_t(j)$ とすると、真のシフト後の部分上の値 $rR(j)$ は、下記の範囲に存在する。

【0022】

二進数から二補数表現へ変換しておく必要がある。

【0026】以上に述べてきた除算アルゴリズムでは、除数 D の MSB の次の 2 ビットと、シフト後の部分剰余の上位 5 ビットを参照して不確定領域を定める必要がある。この時、演算前に除数と被除数に同じ係数を乗じ、例えば除数が常に $1.00 \sim 1.25$ の範囲に収められるように係数を選択すれば、商を決定する際に除数の 2 ビットを参照する必要がなくなる。また除算の性質上、演算前に除数と部分剰余に同じ係数を乗じても得られる商に変化のないことは自明であろう。

【0027】このように、除算開始前に適切に選択された係数（以後乗算係数とする）を乗じることで除算を高速化する手法を「スケーリング」と呼び、従来より、以下に説明する手法が開発されている。

【0028】すなわち下記の表のようなスケーリングを行い、除数を $1.75 \leq \text{除数} < 2.00$ の範囲にスケーリングする。

【0029】

【表 1】

10

20

30

40

5

6

除数の範囲	乗算係数	乗算を実現する倍数の組み合わせ
$1.875 \leq \text{除数} < 2.000$	1.000	1
$1.750 \leq \text{除数} < 1.875$	1.000	1
$1.625 \leq \text{除数} < 1.750$	1.1250	$1 + 1/8$
$1.500 \leq \text{除数} < 1.625$	1.1875	$1 + 1/8 + 1/16$
$1.375 \leq \text{除数} < 1.500$	1.3125	$1 + 1/4 + 1/16$
$1.250 \leq \text{除数} < 1.375$	1.4375	$1 + 1/4 + 1/8 + 1/16$
$1.125 \leq \text{除数} < 1.250$	1.675	$1 + 1/2 + 1/16$
$1.000 \leq \text{除数} < 1.125$	1.765625	$1 + 1/2 + 1/4 + 1/64$

【0030】上記の除数の範囲を同定するには、MSBを除いた除数の上位3ビットを参照すればよい。除数のMSBは正規化により、必ず1となることが保証されているため、参照の必要はない。結果として、除数は $1.75 \leq \text{除数} < 2.0$ の範囲にスケールされる。この場合のP-Dプロットを図5に示す。除数を参照する必要がないのみならず、不確定領域をスケールを行わない場合に比べて、y方向に倍に拡大することができ、シフト後の部分剰余の参照ビットを二補数化された上位4ビットにすることができる。更に、乗算自体は、乗算を実現する倍数の組み合わせに示したように、シフト及び加算により実現することができる。最大で4種類の倍数を加算する必要があるが、これは桁上げ保存加算器

(carry save adder) 等と通常の2入力の桁上げ伝搬加算器を組み合わせることで生成できる。

【0031】次に上記従来の除算回路について図面を参照して説明する。図3は、従来の除算回路の構成の一例を示すブロック図である。この例では、演算の基数が4、デジット集合が $\{-3, -2, -1, 0, 1, 2, 3\}$ 、除数、被除数がnビット長小数で、演算アルゴリズムに拡張SRT除算アルゴリズムを用いた除算の場合について説明する。

【0032】図3において、101はスケールに用いる乗算係数を生成する乗算係数生成回路であり、102～106、107～111は、各々除数及び被除数の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/64$ 倍数をそれぞれ生成するシフト回路であり、115、117は各々乗算係数に合わせて除数、被除数の倍数を選択して桁上げ保存加算器に倍数を2つに圧縮する倍数選択回路であり、116、118は各々桁上げ伝搬加算器により最終的なスケールされた除数、被除数を生成する倍数発生加算器である。また120は除数を保存する除数レジスタであり、122は部分剰余レジスタであり、121は部分剰余が入力された被除数のどちらかを選択するセクタである。123は商決定に必要な部分剰余の上位ビットを二補数化する二補数変換回路であり、124は二補数変換回路123の出力により商を生成する商生

成回路であり、125は商生成回路124の出力に従い除数の倍数を選択する除数倍数発生回路であり、126は除数倍数発生回路125の出力及び部分剰余レジスタの出力から次の部分剰余を生成する部分剰余生成冗長二進加減算回路である。127は商生成回路124の出力を保存する商レジスタであり、128は商の二補数化を行う商二補数化加算器である。

【0033】次に、この従来の除算回路の動作について説明する。除数のMSBを除く上位3ビットは乗算係数生成回路101へ入力され、生成された係数は倍数選択回路115、117へ入力される。各種の倍数発生用シフトの出力である除数、被除数は倍数選択回路115、117へ入力され、乗算係数により必要な倍数が選択された後に桁上げ保存加算器等により桁上げと和に圧縮された後に、倍数発生加算器116、118へ入力される。倍数発生加算器116、118の出力は除数レジスタ120、部分剰余レジスタ122へ入力される。なお、この従来の除算回路では、除算を繰り返して行うため、最初の一のみは部分剰余レジスタの入力は被除数となり、これ以降はその都度部分剰余がセクタ121により選択される。商生成サイクルでは、部分剰余レジスタ122から、商決定に必要なビット数の部分剰余が読み出され、二補数変換回路123により二補数化された部分剰余の上位4ビットが生成される。この部分剰余の上位4ビットにより商生成回路124で商が二ビット生成され、生成された商は商レジスタ127へ保存される。また、生成された商に従って、除数倍数発生回路で倍数が生成され、部分剰余生成冗長二進加減算器126で次のサイクルで用いられる部分剰余が生成される。最終的に、商が必要なビット数だけそろった後に、商二補数化加算器により商が通常数へと変換され、除算が終了する。

【0034】ところで、上記手法では、スケールにおいて除数の $1/64$ 倍数を使用する。これは、スケール後の除数、被除数のビット幅の増加を意味し、LSIの実装においては面積の増加となる。また、除数の範囲区分を厳密にすることにより、より乗算係数を単純

化、すなわち乗算を実現する倍数の組み合わせで単純な組み合わせにすることができる。

【0035】しかしながら、例えば除数の参照ビット数を1ビット増やすことで除数を16の範囲に区分することができるが、この場合はスケーリングの前処理となる除数の範囲の同定が複雑になり遅延が悪化する。

【0036】

【発明が解決しようとする課題】上記したように、従来のスケーリングを伴う除算器では、 $1/16$ 倍、 $1/64$ 倍といったより小さな除数の倍数を必要とし、回路規模が大きくなる、という問題点を有している。

【0037】また、除数の参照ビットを増加させ範囲区分を厳密化した場合には除数の範囲同定が複雑化し遅延が悪化する、という問題点を有している。

【0038】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、除数のある範囲に限定するスケーリングを行う高基数減算シフト方式を用い且つ部分剰余に冗長二進表現を用いる除算回路において、スケーリングを簡易化して回路規模の増大を抑止するとともに、商生成の高速化を図る除算回路を提供することにある。

【0039】

【課題を解決するための手段】前記目的を達成する本発明の除算回路は、 k を正整数として、 $1/2^k \sim 1/2^{k+1}$ （ただし、 \sim はべき乗演算を示す）に正規化された除数及び被除数と、部分剰余の全ビットのうち演算の基数及び最大デジット数により定められるビット長を参照して商を定める高基数型除算回路であって、 m を正整数として、入力された除数及び被除数の $\pm 1/2^m$ 倍の倍数を生成する倍数発生手段と、前記除数の値域に従って前記除数を所定の範囲内にスケーリングする乗算係数を発生する乗算係数発生手段と、前記倍数発生手段により生成された倍数と前記乗算係数発生手段により生成された乗算係数とから除数及び被除数のスケーリングを行うスケーリング手段と、前記スケーリング手段により生成された除数と被除数により除算を行う除算回路と、を含む構成とされる。

【0040】本発明においては、前記倍数発生手段が、 $1/2$ 倍、 $1/4$ 倍、 $1/8$ 倍、 $-1/8$ 倍の倍数を発生し、前記スケーリング手段が、前記除数を、 $3/2 \times 1/2^k$ 以上 $7/4 \times 1/2^k$ 未満の範囲にスケーリングを行う。

【0041】本発明においては、前記除算回路は、部分剰余の任意長の上位ビット数を参照し二補数化された5ビットの部分剰余の上位ビットを生成し、該部分剰余の

上位4ビットを参照して商を生成する。

【0042】

【発明の実施の形態】本発明は、入力された除数、被除数を、予め $1.50 (= 3/2) \leq \text{除数} < 1.75 (= 7/4)$ の範囲にスケーリングし、 $1/16$ 、 $1/64$ 倍数を不必要にし、回路規模の増大を抑えることを可能としたものである。また、商生成の際に、部分剰余の上位5ビットを二補数化するのに対して、商生成自体は、上位4ビットを参照することにより、上記スケーリング範囲で、商の演算精度を保証しながら、高速に商生成が出来るようにしたものである。

【0043】本発明は、その好ましい実施の形態において、 $1/2^k \sim 1/2^{k+1}$ （ k は正整数、 \sim はべき乗演算を示す）に正規化された除数及び被除数と、部分剰余の全ビットのうち演算の基数及び最大デジット数により定められるビット長を参照して商を定める高基数型除算回路において、入力された除数及び被除数の $\pm 1/2^m$ 倍（ m は正整数）の倍数を生成する倍数発生手段（図1の2～9）と、除数の値域に従って前記除数を所定の範囲内にスケーリングする乗算係数を発生する乗算係数発生手段（図1の1）と、倍数発生手段により生成された倍数と乗算係数発生手段により生成された乗算係数とから除数及び被除数のスケーリングを行うスケーリング手段（図1の倍数選択手段15、17と、倍数発生加算手段16、18）と、スケーリング手段により生成された除数と被除数により除算を行う除算手段（図1の23～28）と、を含む。本発明の実施の形態においては、倍数発生手段（図1の2～9）は、 $1/2$ 倍、 $1/4$ 倍、 $1/8$ 倍、 $-1/8$ 倍の倍数を発生し、スケーリング手段が、前記除数を、 $3/2 \times 1/2^k$ 以上 $7/4 \times 1/2^k$ 未満の範囲にスケーリングを行う。また除算手段において、二補数変換手段（図1の23）は、部分剰余の任意長の上位ビット数を参照し二補数化された部分剰余の上位5ビットを生成し、商生成手段（図1の24）は、生成された部分剰余のうち上位4ビットを参照して商を生成する。

【0044】本発明の実施の形態について以下に説明する。まず本発明の除算回路の原理について、P-Dプロットを用いて説明する。図2に、本発明の実施の形態に対応するP-Dプロットを示す。本発明の一実施の形態では、下記の乗算係数を用いて、 $1.50 \leq \text{除数} < 1.75$ の範囲にスケーリングを行う。

【0045】

【表2】

除数の範囲	乗算係数	乗算を実現する倍数の組み合わせ
$1.875 \leq \text{除数} < 2.000$	0.875	$1 - 1/8$
$1.750 \leq \text{除数} < 1.875$	0.875	$1 - 1/8$
$1.625 \leq \text{除数} < 1.750$	1.000	1
$1.500 \leq \text{除数} < 1.625$	1.000	1
$1.375 \leq \text{除数} < 1.500$	1.125	$1 + 1/8$
$1.250 \leq \text{除数} < 1.375$	1.250	$1 + 1/4$
$1.125 \leq \text{除数} < 1.250$	1.375	$1 + 1/4 + 1/8$
$1.000 \leq \text{除数} < 1.125$	1.500	$1 + 1/2$

【0046】乗算を実現する倍数の組み合わせにおいて、 $1/8$ 倍までの倍数でスケールンが実現できる。除数の範囲の同定は、前記従来技術と同じく、MSBを除く除数の上位3ビットである。この場合、前記従来技術と同じように不確定領域を定めると、シフト後の部分剰余の二補数化された上位ビットが二進数で0100

(10進数で4.0)の場合において、範囲を超えてしま

う。この場合のシフト後の部分剰余 $rR(j)$ の値域は、

$3.0 < rR(j) < 5.0 \quad \dots (7)$

であり、 $1.5 \leq \text{除数} < 1.75$ の領域においては、商が1もしくは2の領域と3もしくは4の領域を共に含むことになり、上式(1)、(2)を満足できない。

【0047】ここで、シフト後の部分剰余について、参照する上位4ビットに加えて、上位5ビット目を含めて冗長二進数から二補数への変換を行う。この変換により、参照ビットが“0100”の場合の、シフト後の部分剰余の値域は下記のようにあらわされる。

【0048】 $3.5 < rR(j) < 5.0 \quad \dots (8)$

【0049】上記(8)式で表される値域では、当該の不確定領域は全て商が3の領域に含まれることとなり、上式(1)、(2)を満足することができる。この場合のP-Dプロットを、図2上に示してある。

【0050】

【実施例】次に、本発明の実施の形態の動作について具体的な実施例に即して説明する。図1は本発明の一実施例の構成を示すブロック図である。本実施例では、演算の基数が4、デジット集合が $\{-3, -2, -1, 0, 1, 2, 3\}$ 、除数、被除数がnビット長小数で、演算アルゴリズムに拡張SRT除算アルゴリズムを用いた除算の場合について説明する。

【0051】1はスケールンに用いる乗算係数を生成する乗算係数生成回路であり、2～5は各々除数の $1/2$ 、 $1/4$ 、 $1/8$ 、 $-1/8$ 倍数を生成するシフト回路であり、6～9は各々被除数の $1/2$ 、 $1/4$ 、 $1/8$ 、 $-1/8$ 倍数を生成するシフト回路であり、15、17は各々乗算係数に合わせて除数、被除数の倍数を選

択して桁上げ保存加算器に倍数を2つに圧縮する倍数選択回路であり、16、18は各々桁上げ伝搬加算器により最終的なスケールンされた除数、被除数を生成する倍数発生加算器である。20は除数を保存する除数レジスタであり、22は部分剰余レジスタであり、21は部分剰余か入力された被除数のどちらかを選択するセクタである。23は商決定に必要な部分剰余の上位ビットを二補数化する二補数変換回路であり、24は二補数変換回路23の出力により商を生成する商生成回路であり、25は商生成回路24の出力に従い除数の倍数を選択する除数倍数発生回路であり、26は除数倍数発生回路25の出力及び部分剰余レジスタの出力から次の部分剰余を生成する部分剰余生成冗長二進加減算回路である。27は商生成回路24の出力を保存する商レジスタであり、28は商の二補数化を行う商二補数化加算器である。

【0052】前述した従来の除算器では、スケールンに要する除数、被除数の倍数が、 $1/64$ まで必要であったのに対して、本実施例では、 $1/8$ まででよい。

【0053】次に本実施例の動作について説明する。除数のMSBを除く上位3ビットは乗算係数生成回路1へ入力され、生成された係数は倍数選択回路15、17へ入力される。各種の倍数発生用シフトの出力である除数、被除数は倍数選択回路15、17へ入力され、乗算係数により必要な倍数が選択された後に桁上げ保存加算器等により桁上げと和に圧縮された後に倍数発生加算器16、18へ入力される。この時、必要となる倍数は、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $-1/8$ であり、 $1/16$ 、 $1/64$ は必要ではない。倍数発生加算器16、18の出力は、除数レジスタ20、部分剰余レジスタ22へ入力される。

【0054】本実施例では、除算を繰り返して行うため、最初の一回のみは部分剰余レジスタの入力は被除数となり、これ以降はその都度部分剰余がセクタ21により選択される。

【0055】商生成サイクルでは、部分剰余レジスタ22から、商決定に必要なビット数の部分剰余が読み出さ

れ、二補数変換回路 23 により二補数化された部分剰余の上位 5 ビットが生成される。従来の除算回路では、4 ビットであったが、ここでは 5 ビット生成する。このため、P-D プロット上での不確定領域が、従来例に比べて範囲を狭くすることが出来、本発明で採用したスケーリング範囲においても間違いなく商を選択することが出来る。

【0056】二補数化処理は例えば桁上げ伝搬加算器により実現できる。二補数化のビット数が増えた場合、桁上げ選択加算器等により、遅延に影響を与えずに二補数化するビット数を増やすことが出来る。

【0057】商生成回路 24 は、従来例と同じく部分剰余の上位 4 ビットで商を二ビット生成する。生成された商は商レジスタ 27 に保存される。また、生成された商に従って、除数倍数発生回路 15、17 で倍数が生成され、部分剰余生成冗長二進加減算器 26 で次のサイクルで用いられる部分剰余が生成される。最終的に、商が必要なビット数だけそろった後に、商二補数化加算器 28 により、商が通常数へと変換され、除算が終了する。

【0058】なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【0059】

【発明の効果】以上説明したように、本発明の除算器によれば、スケーリングにおいては、 $1/16$ 、 $1/64$ 倍数を使用することを不要とし、かつ、 $1/75 \leq \text{除数} < 2.00$ の範囲にスケーリングした場合と同様に、二補数化された部分剰余の上位 4 ビットのみの参照で商を決定することができ、回路規模の増大を抑止するとともに、高速化を達成する、という効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施例をなすスケーリング型除算器の構成を示す図である。

【図 2】本発明を適用した除算アルゴリズムを説明する P-D プロットである。

【図 3】従来方式によるスケーリング型除算器の構成の一例を示す図である。

【図 4】従来のスケーリングを適用した除算アルゴリズムを説明する P-D プロットである。

【図 5】従来の除算アルゴリズムを説明する P-D プロットである

【符号の説明】

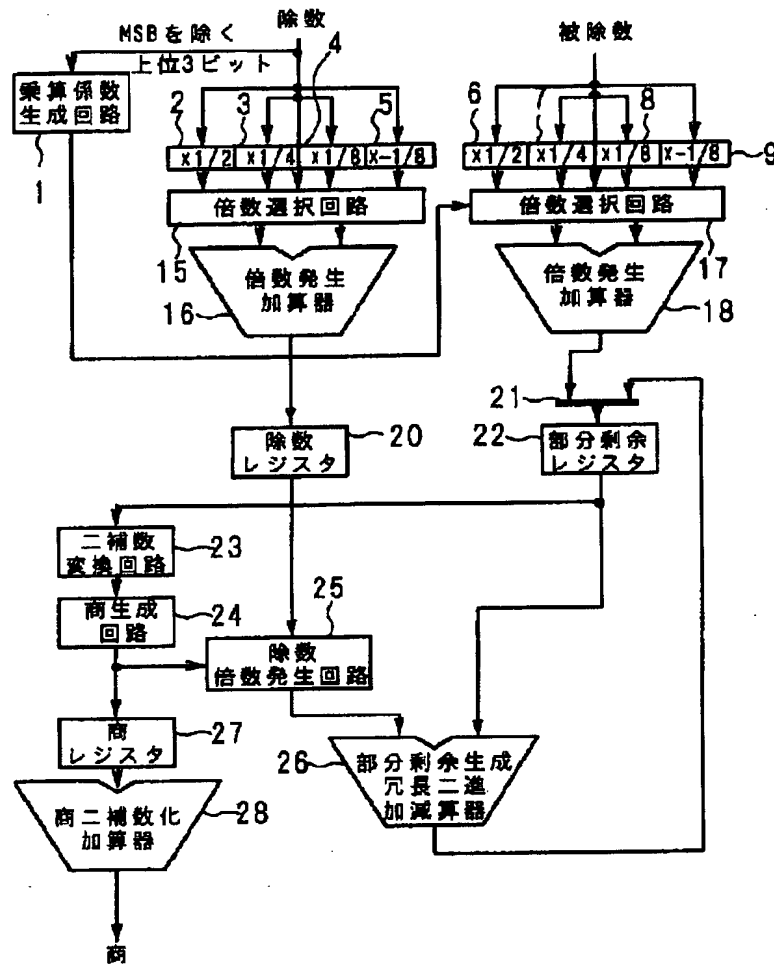
- 1 乗算係数生成回路
- 2 除数 $1/2$ 倍生成シフト

- 3 除数 $1/4$ 倍生成シフト
- 4 除数 $1/8$ 倍生成シフト
- 5 除数 $-1/8$ 倍生成シフト
- 6 被除数 $1/2$ 倍生成シフト
- 7 被除数 $1/4$ 倍生成シフト
- 8 被除数 $1/8$ 倍生成シフト
- 9 被除数 $-1/8$ 倍生成シフト

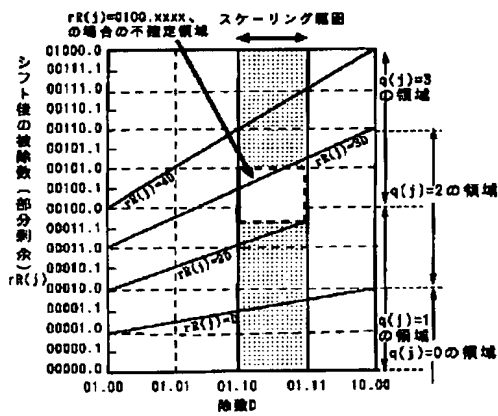
- 15 除数倍数選択回路
- 16 除数倍数発生加算器
- 17 被除数倍数選択回路
- 18 被除数倍数発生加算器
- 20 除数レジスタ
- 21 部分剰余セレクト
- 22 部分剰余レジスタ
- 23 二補数変換回路
- 24 商生成回路
- 25 除数倍数発生回路
- 26 部分剰余生成冗長二進加減算回路
- 27 商レジスタ
- 28 商二補数化加算器

- 101 乗算係数生成回路
- 102 除数 $1/2$ 倍生成シフト
- 103 除数 $1/4$ 倍生成シフト
- 104 除数 $1/8$ 倍生成シフト
- 105 除数 $1/16$ 倍生成シフト
- 106 除数 $1/64$ 倍生成シフト
- 107 被除数 $1/2$ 倍生成シフト
- 108 被除数 $1/4$ 倍生成シフト
- 109 被除数 $1/8$ 倍生成シフト
- 110 被除数 $1/16$ 倍生成シフト
- 111 被除数 $1/64$ 倍生成シフト
- 115 除数倍数選択回路
- 116 除数倍数発生加算器
- 117 被除数倍数選択回路
- 118 被除数倍数発生加算器
- 120 除数レジスタ
- 121 部分剰余セレクト
- 122 部分剰余レジスタ
- 123 二補数変換回路
- 124 商生成回路
- 125 除数倍数発生回路
- 126 部分剰余生成冗長二進加減算回路
- 127 商レジスタ
- 128 商二補数化加算器

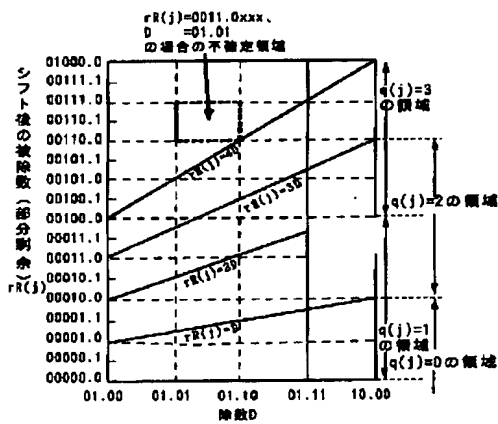
【図1】



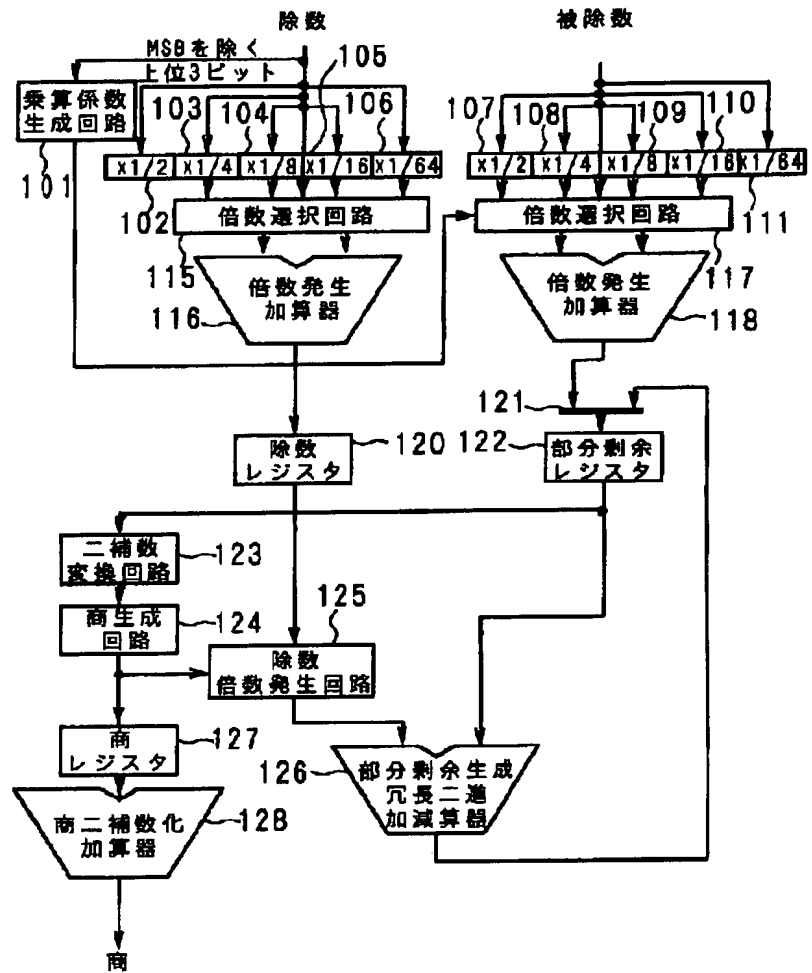
【図2】



【図4】



【図3】



【図5】

